

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Shinji HATTORI Conf: Unknown  
Application No.: New Application Group: Unknown  
Filed: June 24, 2003 Examiner: Unknown  
For: PARALLEL/SERIAL CONVERSION CIRCUIT, SERIAL DATA  
GENERATION CIRCUIT, SYNCHRONIZATION SIGNAL  
GENERATION CIRCUIT, CLOCK SIGNAL GENERATION  
CIRCUIT, SERIAL DATA TRANSMISSION DEVICE, SERIAL  
DATA RECEPTION DEVICE, AND SERIAL DATA  
TRANSMISSION SYSTEM

**PRIORITY LETTER**

June 24, 2003

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sirs:


Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<b><u>Application No.</u></b>	<b><u>Date Filed</u></b>	<b><u>Country</u></b>
2002-183704	06/24/02	JAPAN

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By   
Donald J. Daley, Reg. No. 34,313  
P.O. Box 8910  
Reston, Virginia 20195  
(703) 668-8000

DJD:bof

(Translation)

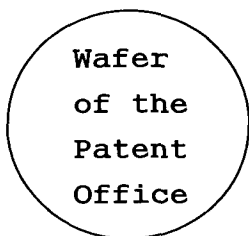
PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : June 24, 2002

Application Number : Patent Appln. No. 2002-183704

Applicant(s) : SHARP KABUSHIKI KAISHA



May 9, 2003

Shinichiro OTA

Commissioner,  
Patent Office

Seal of  
Commissioner  
of  
the Patent  
Office

Appln. Cert. No.

Appln. Cert. Pat. 2003-3034207

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月24日

出 願 番 号

Application Number:

特願2002-183704

[ ST.10/C ]:

[ JP2002-183704 ]

出 願 人

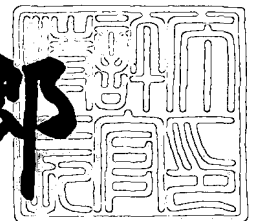
Applicant(s):

シャープ株式会社

2003年 5月 9日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3034207

【書類名】 特許願

【整理番号】 02J01646

【提出日】 平成14年 6月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 25/49

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 服部 真司

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100078282

【弁理士】

【氏名又は名称】 山本 秀策

【選任した代理人】

【識別番号】 100062409

【弁理士】

【氏名又は名称】 安村 高明

【選任した代理人】

【識別番号】 100107489

【弁理士】

【氏名又は名称】 大塩 竹志

【手数料の表示】

【予納台帳番号】 001878

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208587

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パラレル・シリアル変換回路、シリアルデータ生成回路、同期信号生成回路、クロック信号生成回路、シリアルデータ送信装置、シリアルデータ受信装置およびシリアルデータ伝送システム

【特許請求の範囲】

【請求項 1】 複数ビットからなる正並列データが書き込まれ、シフトクロック信号に応じて該正並列データを 1 ビットずつシフトさせながら正直列データを出力する第 1 シフトレジスタと、

該正並列データの各ビットを反転させた負並列データが書き込まれ、シフトクロック信号に応じて該負並列データを 1 ビットずつシフトさせながら負直列データを出力する第 2 シフトレジスタと、

該正直列データが入力され、該正直列データの各ビットに応じた第 1 パルス信号を出力する第 1 パルス発生回路と、

該負直列データが入力され、該負直列データの各ビットに応じた第 2 パルス信号を出力する第 2 パルス発生回路と、

該第 1 パルス信号と該第 2 パルス信号とが入力され、該第 1 パルス信号と該第 2 パルス信号とを合成して合成信号を出力する合成回路とを備え、

該第 1 シフトレジスタおよび該第 2 シフトレジスタは、該シフトクロック信号として該合成信号が入力されるパラレル・シリアル変換回路。

【請求項 2】 前記第 1 パルス発生回路および前記第 2 パルス発生回路のそれぞれは、データ終了時に、前記第 1 パルス信号および前記第 2 パルス信号としてそれぞれ '1' を出力する請求項 1 に記載のパラレル・シリアル変換回路。

【請求項 3】 前記第 1 パルス発生回路および前記第 2 パルス発生回路は、パルス幅 T の期間を設定する遅延回路を備えている請求項 1 に記載のパラレル・シリアル変換回路。

【請求項 4】 請求項 1 に記載のパラレル・シリアル変換回路から第 1 パルス信号および第 2 パルス信号が入力され、該第 1 パルス信号および該第 2 パルス信号の組み合わせが、

(0、0) のときにビットの区切り、

(0、1) のときに論理値 0 のビット、

(1、0) のときに論理値 1 のビット

としてシリアルデータを生成するシリアルデータ生成回路。

【請求項 5】 請求項 2 に記載の平行・シリアル変換回路から第 1 パルス信号および第 2 パルス信号が入力され、該第 1 パルス信号および該第 2 パルス信号の組み合わせが、(1、1) のときに同期信号を生成する同期信号生成回路。

【請求項 6】 請求項 1 に記載の平行・シリアル変換回路から第 1 パルス信号および第 2 パルス信号が入力され、該第 1 パルス信号および該第 2 パルス信号の入力タイミングに応じてクロック信号を生成するクロック信号生成回路。

【請求項 7】 請求項 1 ～請求項 3 のいずれかに記載の平行・シリアル変換回路を備えたシリアルデータ送信装置。

【請求項 8】 請求項 4 に記載のシリアルデータ生成回路と、請求項 5 に記載の同期信号生成回路と、請求項 6 に記載のクロック信号生成回路とを備えたシリアルデータ受信装置。

【請求項 9】 請求項 7 に記載のシリアルデータ送信装置と請求項 8 に記載のシリアルデータ受信装置とを備えたシリアルデータ伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば CMOS 論理回路によって構成することができ、マイクロプロセッサ、デジタル信号処理プロセッサなどの集積回路のシリアルデータ伝送出力回路等として利用される平行・シリアル変換回路、シリアルデータ生成回路、同期信号生成回路、クロック信号生成回路、シリアルデータ送信装置、シリアルデータ受信装置およびシリアルデータ伝送システムに関する。

【0002】

【従来の技術】

従来から、集積回路のシリアルデータ伝送出力回路として、複数ビットからなる入力データとシフトクロック信号とをシフトレジスタに入力して、データをシフトさせながら 1 ビット毎に出力する平行・シリアル変換回路が用いられて

いる。

【 0 0 0 3 】

このようなパラレル・シリアル変換回路においては、シリアルデータを構成する各ビットの区切りを伝送するために、シリアルデータの伝送経路と共に、シフトクロック信号の伝送経路を設ける必要がある。または、特開平 1 0 - 3 2 2 4 0 4 号公報に開示されているように、データ信号の伝送経路と共に、シリアルデータのビットの区切りを示すための区切り信号の伝送経路を設ける必要がある。

【 0 0 0 4 】

図 7 は、特開平 1 0 - 3 2 2 4 0 4 号公報に開示されているシリアルデータ伝送方法を説明するための信号波形図である。

【 0 0 0 5 】

このシリアルデータ伝送方法では、データ信号 2 0 0 の伝送経路と共に、シリアルデータのビットの区切りを示すための区切り信号 2 0 1 の伝送経路を設けている。伝送側では、データ信号 2 0 0 を、伝送すべきデジタルデータの各ビットの論理値（0 または 1）に対応するレベルで連続的に伝送すると共に、データ信号 2 0 0 の連続するビットが同値である場合に、予め定める区切り信号 2 0 1 を伝送するようになっている。

【 0 0 0 6 】

【発明が解決しようとする課題】

従来のパラレル・シリアル変換回路では、シリアルデータを生成するためにシフトクロック信号を入力する必要があるため、クロック発振回路、クロック分周回路などを別途設ける必要があり、回路規模が大きくなるという問題がある。

【 0 0 0 7 】

また、パラレル・シリアル変換動作が不要なときにも、クロック発振回路、クロック分周回路等からクロック信号が供給されるため、消費電力が増大するという問題がある。消費電力を低減させるためには、パラレル・シリアル変換動作が不要なときに、クロック信号が停止されるように制御する制御回路を設けることも考えられるが、その場合には、クロック信号を停止制御する制御回路が別途設ける必要があり、回路規模が大きくなるという問題が生じる。



## 【 0 0 0 8 】

さらに、シリアルデータのビットの区切りを伝送するために、シフトクロック信号の伝送経路または区切り信号の伝送経路を設ける必要があり、このような伝送経路が無い場合には、データ受信部にてデータを復元することができない。

## 【 0 0 0 9 】

本発明は、このような従来技術の課題を解決するためになされたものであり、クロック発振回路、クロック分周回路等を設けることなくシフトクロック信号を生成することができ、パラレル・シリアル変換動作が不要なときに消費電力を低減させることができ、さらに、シフトクロック信号または区切り信号の伝送経路を設けることなくシリアルデータを伝送してデータ受信部にてデータを復元することができるパラレル・シリアル変換回路、シリアルデータ生成回路、同期信号生成回路、クロック信号生成回路、シリアルデータ送信装置、シリアルデータ受信装置およびシリアルデータ伝送システムを提供することを目的とする。

## 【 0 0 1 0 】

## 【課題を解決するための手段】

本発明のパラレル・シリアル変換回路は、複数ビットからなる正並列データが書き込まれ、シフトクロック信号に応じて該正並列データを1ビットずつシフトさせながら正直列データを出力する第1シフトレジスタと、該正並列データの各ビットを反転させた負並列データが書き込まれ、シフトクロック信号に応じて該負並列データを1ビットずつシフトさせながら負直列データを出力する第2シフトレジスタと、該正直列データが入力され、該正直列データの各ビットに応じた第1パルス信号を出力する第1パルス発生回路と、該負直列データが入力され、該負直列データの各ビットに応じた第2パルス信号を出力する第2パルス発生回路と、該第1パルス信号と該第2パルス信号とが入力され、該第1パルス信号と該第2パルス信号とを合成して合成信号を出力する合成回路とを備え、該第1シフトレジスタおよび該第2シフトレジスタは、該シフトクロック信号として該合成信号が入力され、そのことにより上記目的が達成される。

## 【 0 0 1 1 】

前記第1パルス発生回路および前記第2パルス発生回路のそれぞれは、データ

終了時に、前記第 1 パルス信号および前記第 2 パルス信号としてそれぞれ ' 1 ' を出力する。

【 0 0 1 2 】

前記第 1 パルス発生回路および前記第 2 パルス発生回路は、パルス幅 T の期間を設定する遅延回路を備えている。

【 0 0 1 3 】

本発明のシリアルデータ生成回路は、本発明の平行・シリアル変換回路から第 1 パルス信号および第 2 パルス信号が入力され、該第 1 パルス信号および該第 2 パルス信号の組み合わせが、

( 0 、 0 ) のときにビットの区切り、

( 0 、 1 ) のときに論理値 0 のビット、

( 1 、 0 ) のときに論理値 1 のビット

としてシリアルデータを生成し、そのことにより上記目的が達成される。

【 0 0 1 4 】

本発明の同期信号生成回路は、本発明の平行・シリアル変換回路から第 1 パルス信号および第 2 パルス信号が入力され、該第 1 パルス信号および該第 2 パルス信号の組み合わせが、 ( 1 、 1 ) のときに同期信号を生成し、そのことにより上記目的が達成される。

【 0 0 1 5 】

本発明のクロック信号生成回路は、本発明の平行・シリアル変換回路から第 1 パルス信号および第 2 パルス信号が入力され、該第 1 パルス信号および該第 2 パルス信号の入力タイミングに応じてクロック信号を生成し、そのことにより上記目的が達成される。

【 0 0 1 6 】

本発明のシリアルデータ送信装置は、本発明の平行・シリアル変換回路を備え、そのことにより上記目的が達成される。

【 0 0 1 7 】

本発明のシリアルデータ受信装置は、本発明のシリアルデータ生成回路と、本発明の同期信号生成回路と、本発明のクロック信号生成回路とを備え、そのこと

により上記目的が達成される。

【 0 0 1 8 】

本発明のシリアルデータ伝送システムは、本発明のシリアルデータ送信装置と、本発明のシリアルデータ受信装置とを備え、そのことにより上記目的が達成される。

【 0 0 1 9 】

以下に、本発明の作用について説明する。

【 0 0 2 0 】

本発明にあっては、複数ビットからなる正並列データが書き込まれ、シフトクロック信号に応じて正並列データを1ビットずつシフトさせながら正直列データ outputs する第1シフトレジスタと、正並列データの各ビットを反転させた負並列データが書き込まれ、シフトクロック信号に応じて負並列データを1ビットずつシフトさせながら負直列データを outputs する第2シフトレジスタと、正直列データの各ビットに応じた第1パルス信号を outputs する第1パルス発生回路と、負直列データの各ビットに応じた第2パルス信号を outputs する第2パルス発生回路と、第1パルス信号と第2パルス信号とを合成して合成信号を outputs する合成回路とを備えており、合成信号をシフトクロック信号として用いることができる。外部からシフトクロック信号を供給する必要がないため、クロック発振回路、クロック分周回路等が不要であり、パラレル・シリアル変換動作が不要なときにクロック信号を停止制御する制御回路も不要である。

【 0 0 2 1 】

また、本発明にあっては、第1パルス信号および第2パルス信号の組み合わせが

(0、0) のときにビットの区切り、

(0、1) のときに論理値0のビット、

(1、0) のときに論理値1のビット

としてシリアルデータを生成することができ、従来技術のように伝送ビットの区切りを示すビット区切り信号を伝送するための伝送経路を設ける必要が無い。また、第1パルス信号および第2パルス信号の組み合わせが(1、1)のときに同期

信号を生成することができ、第 1 パルス信号および第 2 パルス信号の入力タイミングに応じてクロック信号を生成することができる。このため、例えばクロック信号によってシリアルデータをシフトレジスタに直列入力し、同期信号のタイミングでパラレルデータを出力させることができる。

【 0 0 2 2 】

【発明の実施の形態】

以下に、本発明の実施の形態について、図面に基づいて説明する。

【 0 0 2 3 】

(実施形態 1)

本実施形態では、8 ビットのデータを論理回路によってパラレル・シリアル変換するパラレル・シリアル変換回路の実施形態について説明する。

【 0 0 2 4 】

図 1 は、本実施形態のパラレル・シリアル変換回路 1 0 0 の構成を示すブロック図である。

【 0 0 2 5 】

このパラレル・シリアル変換回路 1 0 0 は、複数ビットからなる正並列データが書き込まれる第 1 シフトレジスタ 1 と、正並列データの各ビットを反転させた負並列データが書き込まれる第 2 シフトレジスタ 2 とが設けられている。第 2 シフトレジスタに供給される負並列データは、インバータ回路などによって正並列データをビット反転させることによって生成することができる。

【 0 0 2 6 】

第 1 シフトレジスタ 1 は、シフトクロック信号に応じて正並列データを 1 ビットずつシフトさせながら正直列データを出力するようになっており、第 1 シフトレジスタ 1 から出力された正直列データは第 1 パルス発生回路 2 0 に入力される。また、第 2 シフトレジスタ 2 は、シフトクロック信号に応じて負正並列データを 1 ビットずつシフトさせながら負直列データを出力するようになっており、第 2 シフトレジスタ 2 から出力された負直列データは第 2 パルス発生回路 2 1 に入力される。

【 0 0 2 7 】

第 1 パルス発生回路 2 0 は、入力された正直列データの各ビットに応じた第 1 パルス信号を出力するようになっており、第 2 パルス発生回路 2 1 は、入力された負直列データの各ビットに応じた第 2 パルス信号を出力するようになっている。第 1 パルス発生回路 2 0 および第 2 パルス発生回路 2 1 のそれぞれから出力された第 1 パルス信号および第 2 パルス信号は、いずれも合成回路 5 に入力される。

#### 【 0 0 2 8 】

合成回路 5 は、入力された第 1 パルス信号と第 2 パルス信号とを合成して合成信号を出力するようになっており、合成回路 5 から出力された合成信号はシフトクロック信号として第 1 シフトレジスタ 1 および第 2 シフトレジスタ 2 のそれぞれに入力されるようになっている。このように、第 1 シフトレジスタ 1 および第 2 シフトレジスタ 2 のシフトクロック信号として、合成回路 5 から出力された合成信号を用いることにより、クロック発振回路、クロック分周回路等が不要であり、パラレル・シリアル変換動作が不要であるときには、電力が消費されることはない。

#### 【 0 0 2 9 】

図 2 ( a ) は、本実施形態のパラレル・シリアル変換回路 1 0 0 のさらに具体的な構成を示す回路図である。

#### 【 0 0 3 0 】

ここでは、8 ビット幅の正並列データ 1 1 がライトパルス 1 0 によって第 1 シフトレジスタ 1 に並列入力されるようになっており、第 1 シフトレジスタ 1 から直列出力される正直列データ 1 3 が第 1 パルス発生回路 2 0 に入力される。

#### 【 0 0 3 1 】

第 1 パルス発生回路 2 0 は、論理積回路 3、駆動回路 1 0 1 およびシュミットトリガ回路 1 0 3 によって構成されている。論理積回路 3 は、一方の入力に正直列データ 1 3 が入力され、他方の入力に ' 0 ' が入力されたときには ' 0 ' が出力され、 ' 1 ' が入力されたときには正直列データ 1 3 が出力されるようになっている。駆動回路 1 0 1 では、入力信号に応じて所定の出力レベルが生成されると共に、論理積回路 3 と駆動回路 1 0 1 とを合わせて遅延時間 T だけ信号が遅延

されて正伝送データ（第 1 パルス信号）15 が出力されるようになっている。シュミットトリガ回路 103 は、中間レベルが入力されても出力論理が変化しないように制御するために設けられている。

#### 【0032】

また、正並列データ 11 の各ビットを反転させた 8 ビット幅の負並列データ 12 がライトパルス 10 によって第 2 シフトレジスタ 2 に並列入力されるようになっており、第 2 シフトレジスタ 2 から直列出力される負直列データ 14 が第 2 パルス発生回路 21 に入力される。

#### 【0033】

第 2 パルス発生回路 21 は、論理積回路 4、駆動回路 102 およびシュミットトリガ回路 104 によって構成されている。論理積回路 4 は、一方の入力に負直列データ 14 が入力され、他方の入力に '0' が入力されたときには '0' が出力され、他方の入力に '1' が入力されたときには負直列データ 14 が出力されるようになっている。駆動回路 102 では、入力信号に応じて所定の出力レベルが生成されると共に、論理積回路 4 と駆動回路 102 とを合わせて遅延時間 T だけ信号が遅延されて負伝送データ（第 2 パルス信号）16 が出力されるようになっている。シュミットトリガ回路 104 は、中間レベルが入力されても出力論理が変化しないように制御するために設けられている。

#### 【0034】

第 1 パルス発生回路 20 から出力される正伝送データ 15 および第 2 パルス発生回路 21 から出力される負伝送データ 16 は、合成回路としての論理和回路 5 に入力される。論理和回路 5 では、入力された正伝送データ 15 および負伝送データ 16 が合成されてシフトクロック信号 17 が生成され、第 1 シフトレジスタ 1、第 2 シフトレジスタ 2、第 1 パルス発生回路 20 の論理積回路 3 および第 2 パルス発生回路 21 の論理積回路 4 に入力される。

#### 【0035】

第 1 パルス発生回路 20 では、シフトクロック信号 17 の論理反転と正直列データ 13 とが論理積され、駆動回路 101 を介して T 時間の遅延後に第 1 パルス信号として正伝送データ 15 が出力される。同様に、第 2 パルス発生回路 21 で

は、シフトクロック信号 1 7 の論理反転と負直列データ 1 4 とが論理積され、駆動回路 1 0 1 を介して T 時間の遅延後に負伝送データ 1 6 が出力される。

#### 【 0 0 3 6 】

以下に、上記第 1 シフトレジスタ 1 および第 2 シフトレジスタ 2 の具体的な構成例について説明する。

#### 【 0 0 3 7 】

図 3 ( a ) は、第 1 シフトレジスタおよび第 2 シフトレジスタ 2 の構成を示す回路図である。

#### 【 0 0 3 8 】

このシフトレジスタは、データ入力端子 D、非同期セット入力端子 S、クロック入力端子およびデータ出力端子 Q を有するフリップフロップ F F 1 ~ F F 8 が設けられており、並列データ D 1 ~ D 8 が論理積回路 3 8 ~ 3 1 によってライトパルス W R と論理積されて、それぞれ、フリップフロップ F F 1 ~ F F 8 の非同期セット入力端子 S に入力されるようになっている。ライトパルス W R は、フリップフロップ F F 9 の非同期セット入力端子 S にも接続されている。

#### 【 0 0 3 9 】

また、フリップフロップ F F 9 のデータ入力 D は論理値 0 に固定されており、データ出力端子 Q はフリップフロップ F F 8 のデータ入力端子 D に接続されている。なお、図 3 ( a ) においては省略されているが、フリップフロップ F F 8 のデータ出力端子 Q はフリップフロップ F F 7 のデータ入力端子 D に接続されており、順に全てのフリップフロップ F F が直列に接続されている。シフトクロック信号 C L K は、フリップフロップ F F 1 ~ F F 9 の各クロック入力端子に接続されており、シフトクロック信号 C L K に同期して、各フリップフロップ F F 1 ~ F F 9 のデータが順にシフトされるようになっている。F F 1 のデータ出力端子 Q からの出力は、論理積回路 3 0 によってライトパルス W R の論理反転と論理積されて、シリアル出力 O U T が出力される。

#### 【 0 0 4 0 】

図 3 ( b ) は、上記フリップフロップ F F 1 ~ F F 9 の C M O S 回路による構成例を示す回路図である。

## 【 0 0 4 1 】

このフリップフロップは、データ入力端子Dが、シフトクロック信号CLKによって制御されるトランスファークロップゲート41と接続されている。トランスファークロップゲート41の出力側は2つに分岐されており、一方は非同期セット入力Sが入力される論理和否定回路42を介してインバータ回路43と接続されており、他方がシフトクロック信号CLKによって制御されるトランスファークロップゲート44と接続されている。インバータ回路43およびトランスファークロップゲート44の出力側は、1つにまとめられてシフトクロック信号CLKによって制御されるトランスファークロップゲート45と接続されている。また、トランスファークロップゲート45の出力側は2つに分岐されており、一方は非同期セット入力Sが入力される論理和否定回路46を介してインバータ回路47と接続されており、他方がシフトクロック信号CLKによって制御されるトランスファークロップゲート48と接続されている。インバータ回路47およびトランスファークロップゲート48の出力側は、1つにまとめられてデータ出力端子Qと接続されている。

## 【 0 0 4 2 】

このように構成されたフリップフロップにおいて、非同期セット入力Sが論理値'0'のときには、シフトクロック信号CLKの立ち上がりでデータ入力Dが記憶され、データ出力Qに保持される。また、非同期セット入力Sが論理値'1'のときには、データ出力Qは論理値'1'にセットされる。

## 【 0 0 4 3 】

次に、このように構成された本実施形態の平行・シリアル変換回路100の動作について説明する。

## 【 0 0 4 4 】

図4は、本実施形態の平行・シリアル変換回路100の動作を説明するための信号波形図である。

## 【 0 0 4 5 】

ライトパルス10が'1'のときに、正並列データ11が第1シフトレジスタ1に書き込まれ、負並列データ12が第2シフトレジスタ2に書き込まれる。負並列データ12は、正並列データ11をビット反転させたデータである。



## 【 0 0 4 6 】

ライトパルス 1 0 が ' 1 ' の期間には、第 1 シフトレジスタ 1 および第 2 シフトレジスタ 2 から出力される正直列データ 1 3 および負直列データ 1 4 は ' 0 ' であり、ライトパルス 1 0 が ' 0 ' になると同時に最初のビットデータが第 1 シフトレジスタ 1 および第 2 シフトレジスタからそれぞれ出力される。

## 【 0 0 4 7 】

ここで、下位ビットから順に出力されるとすると、最初のビットデータは最下位ビットである。例えば、正直列データ 1 3 が ' 0 ' 、負直列データ 1 4 が ' 1 ' のときには、第 1 パルス発生回路 2 0 では入力される正直列データが ' 0 ' であるために正伝送データ 1 5 は変化しないが、第 2 パルス発生回路 2 1 では入力される負直列データ 1 4 が ' 1 ' になってから T 時間後に負伝送データ 1 6 が ' 1 ' となる。また、例えば正直列データ 1 3 が ' 1 ' 、負直列データ 1 4 が ' 0 ' のときには、第 2 パルス発生回路 2 1 では入力される負直列データが ' 0 ' であるため負伝送データ 1 6 は変化しないが、第 1 パルス発生回路 2 0 では入力される正直列データ 1 3 が ' 1 ' になってから T 時間後に正伝送データ 1 5 が ' 1 ' となる。このように正直列データ 1 3 および負直列データ 1 4 の少なくとも一方が ' 1 ' になると、論理和回路 5 から出力されるシフトクロック信号 1 7 は ' 1 ' となる。

## 【 0 0 4 8 】

シフトクロック信号 1 7 は第 1 シフトレジスタ 1 および第 2 シフトレジスタ 2 に入力される一方、論理和回路 3 および 4 の反転入力に入力される。そして、正伝送データ 1 5 および負伝送データ 1 6 の論理和であるシフトクロック信号 1 7 が ' 1 ' になってから T 時間後に正伝送データ 1 5 および負伝送データ 1 6 は共に ' 0 ' に復帰し、シフトクロック信号 1 7 も ' 0 ' となる。

## 【 0 0 4 9 】

シフトクロック信号 1 7 が ' 0 ' から ' 1 ' に変化する瞬間に、第 1 シフトレジスタ 1 および第 2 シフトレジスタ 2 では、次のビットデータがシフトされて正直列データ 1 3 および負直列データ 1 4 として出力される。正直列データ 1 3 および負直列データ 1 4 はビット反転の関係にあるため、8 ビットのビットデータ

が全てシフトされるまで、正伝送データ 1 5 および負伝送データ 1 6 は、いずれか一方が ' 1 ' である。

#### 【 0 0 5 0 】

第 1 シフトレジスタ 1 および第 2 シフトレジスタ 2 は、それぞれ、9 ビット目のビットデータが設けられており、その値は ' 1 ' となっている。そのため、8 ビットのビットデータが全てシフトされた後、正伝送データ 1 5 および負伝送データ 1 6 は共に ' 1 ' となる。この 9 サイクル目のシフトクロック信号 1 7 によって正直列データ 1 3 および負直列データ 1 4 は共に ' 0 ' となり、パルス発生が終了する。

#### 【 0 0 5 1 】

なお、上記図 2 ( a ) に示すパラレル・シリアル変換回路 1 0 0 では、正伝送データ 1 5 および負伝送データ 1 6 のそれぞれの遅延時間  $T$  は、駆動回路 1 0 1 および 1 0 2 によって設定されているが、図 2 ( b ) に示すように、他の部分の回路遅延などを含めて利用することも可能である。

#### 【 0 0 5 2 】

図 2 ( b ) に示すパラレル・シリアル変換回路 1 0 0 は、論理和回路 5 の出力部にインバータ直列回路 1 2 0 が接続されている。第 1 パルス発生回路 2 0 は、論理積回路 3 と駆動回路 1 0 1 とインバータ直列回路 1 2 0 とによって構成され、第 2 パルス発生回路 2 1 は論理積回路 4 と駆動回路 1 0 2 とインバータ直列回路 1 0 0 とによって構成されている。

#### 【 0 0 5 3 】

このパラレル・シリアル変換回路 1 0 0 では、 $T$  時間の遅延は、インバータ直列回路 1 2 0 による遅延時間  $T_1$  と、駆動回路 1 0 1 による遅延時間  $T_2$  ( または駆動回路 1 0 2 による遅延時間  $T_2$  ) との和によって設定される。

#### 【 0 0 5 4 】

##### ( 実施形態 2 )

本実施形態では、実施形態 1 のパラレル・シリアル回路を送信部に用いて、2 本の伝送経路によって受信部にシリアルデータを伝送するシリアルデータ伝送システムの実施形態について説明する。

## 【 0 0 5 5 】

図 5 は、本実施形態のシリアルデータ伝送シリアルデータ 2 0 0 の構成を示す回路図である。

## 【 0 0 5 6 】

ここでは、送信部 5 1 の説明を簡略化するために第 1 シフトレジスタ 1 および第 2 シフトレジスタ 2 を省略して示しているが、送信部 5 1 の構成は、図 2 ( a ) に示すパラレル・シリアル変換回路 1 0 0 と同様である。

## 【 0 0 5 7 】

送信部 5 1 において、正伝送データ 1 5 は、出力駆動回路 1 0 1 によって論理値' 0 ' に対応するローレベル、もしくは論理値' 1 ' に対応するハイレベルに電圧駆動される。正伝送データ 1 5 は、シュミットトリガ回路 1 0 3 の入力に接続されており、ローレベルとハイレベルとの中間レベルであるときには出力論理値が変化しないようになっている。

## 【 0 0 5 8 】

負伝送データ 1 6 は、出力駆動回路 1 0 2 によって論理値' 0 ' に対応するローレベル、もしくは論理値' 1 ' に対応するハイレベルに電圧駆動される。負伝送データ 1 6 は、シュミットトリガ回路 1 0 4 の入力に接続されており、ローレベルとハイレベルとの中間レベルであるときには出力論理値が変化しないようになっている。

## 【 0 0 5 9 】

シュミットトリガ回路 1 0 3 および 1 0 4 の出力は、それぞれ、論理和回路 5 の入力に接続されており、論理和回路 5 の出力は第 1 シフトレジスタ 1 および第 2 シフトレジスタ 2 にシフトクロック信号 1 7 として入力されるようになっている。

## 【 0 0 6 0 】

以上のように構成された送信部 5 1 によって、伝送経路の負荷に適したパルス幅および振幅で正伝送データ 1 5 および負伝送データ 1 6 を発生させることができる。

## 【 0 0 6 1 】

受信部 5 2 には、正伝送データ 1 5 が入力される受信回路 1 0 5 および負伝送データ 1 6 が入力される受信回路 1 0 6 が設けられている。受信回路 1 0 5 および 1 0 6 では、それぞれ、受信レベルが論理値' 0 ' であるか、または論理値' 1 ' であるかが判定される。

#### 【 0 0 6 2 】

受信回路 1 0 5 の出力は、レジスタ 1 0 9 の非同期セット端子 S に接続され、受信回路 1 0 6 の出力は、レジスタ 1 0 9 の非同期リセット端子 R に接続されている。レジスタ 1 0 9 の出力は、非同期セット端子 S から入力される正伝送データ 1 5 が' 1 ' のときに論理値' 1 ' にセットされ、非同期リセット端子 R から入力される負伝送データ 1 6 が' 1 ' のときに論理値' 0 ' にリセットされる。レジスタ 1 0 9 の出力は、データ 1 1 0 となる。

#### 【 0 0 6 3 】

また、受信回路 1 0 5 の出力および受信回路 1 0 6 の出力は、それぞれ、論理積回路 1 0 7 の入力に接続されている。論理積回路 1 0 7 の出力は、正伝送データ 1 5 および負伝送データ 1 6 が共に' 1 ' のときに' 1 ' となってパルスが出力され、それ以外は' 0 ' となる。論理積回路 1 0 7 の出力は、データの終了を示す同期信号 1 1 1 となる。

#### 【 0 0 6 4 】

また、受信回路 1 0 5 の出力および受信回路 1 0 6 の出力は、それぞれ、論理和回路 1 0 8 の入力に接続されている。論理積回路 1 0 7 の出力は、正伝送データ 1 5 および負伝送データ 1 6 が共に' 0 ' のときに' 0 ' となり、それ以外は' 1 ' となってパルスが出力される。論理和回路 1 0 8 の出力は、ビットの区切りを示すクロック信号 1 1 1 となる。

#### 【 0 0 6 5 】

次に、このように構成された本実施形態のシリアルデータ伝送システム 2 0 0 の動作について説明する。

#### 【 0 0 6 6 】

図 6 は、本実施形態の平行・シリアル変換回路 1 0 0 の動作を説明するための信号波形図である。

## 【0067】

正伝送データ15のパルス（ハイレベル'1'）によってデータ110は論理値'1'にセットされ、負伝送データ16のパルス（ハイレベル'1'）によってデータ110は論理値'0'にリセットされる。また、正伝送データ15および負伝送データ16が共に'0'であるときには、ビットの区切りとして論理値は変更されない。

## 【0068】

また、正伝送データ15および負伝送データ16に同時にパルスが入力されたときに、同期信号111にパルスが生じる。

## 【0069】

また、正伝送データ15および負伝送データ16の少なくとも一方にパルスが入力されたときに、クロック信号112にパルスが生じる。

## 【0070】

これによって、例えば、データ110をクロック信号112によってシフトレジスタに直列データとして入力し、同期信号111のタイミングでシフトレジスタから並列データとして出力させることができる。

## 【0071】

## 【発明の効果】

以上説明したように、本発明の平行・シリアル変換回路によれば、シフトクロック信号を外部から入力することなく、内部で発生させることができるので、クロック発生回路、クロック分周回路等を別途設ける必要がない。また、シリアルデータを生成しないときには、動作を完全に停止させることができるため、消費電力を削減することができる。さらに、正伝送データおよび負伝送データが伝送される2本の信号線によって、データ、ビット区切り信号（クロック信号）および同期信号を伝送することができるため、端子数を2端子にすることができる。

## 【図面の簡単な説明】

## 【図1】

実施形態1の平行・シリアル変換回路の構成を示すブロック図である。

【図 2】

(a) は、実施形態 1 のパラレル・シリアル変換回路の具体的な構成例を示す回路図であり、(b) は他の構成例を示す回路図である。

【図 3】

(a) は、実施形態 1 のパラレル・シリアル変換回路におけるシフトレジスタの具体的な構成例を示す回路図であり、(b) は、フリップフロップの具体的な構成例を示す回路図である。

【図 4】

実施形態 1 のパラレル・シリアル変換回路の動作を説明するための信号波形図である。

【図 5】

実施形態 2 のシリアルデータ伝送システムの構成を示す回路図である。

【図 6】

実施形態 2 のシリアルデータ伝送システムの動作を説明するための信号波形図である。

【図 7】

従来のシリアルデータ伝送方法を説明するための信号波形図である。

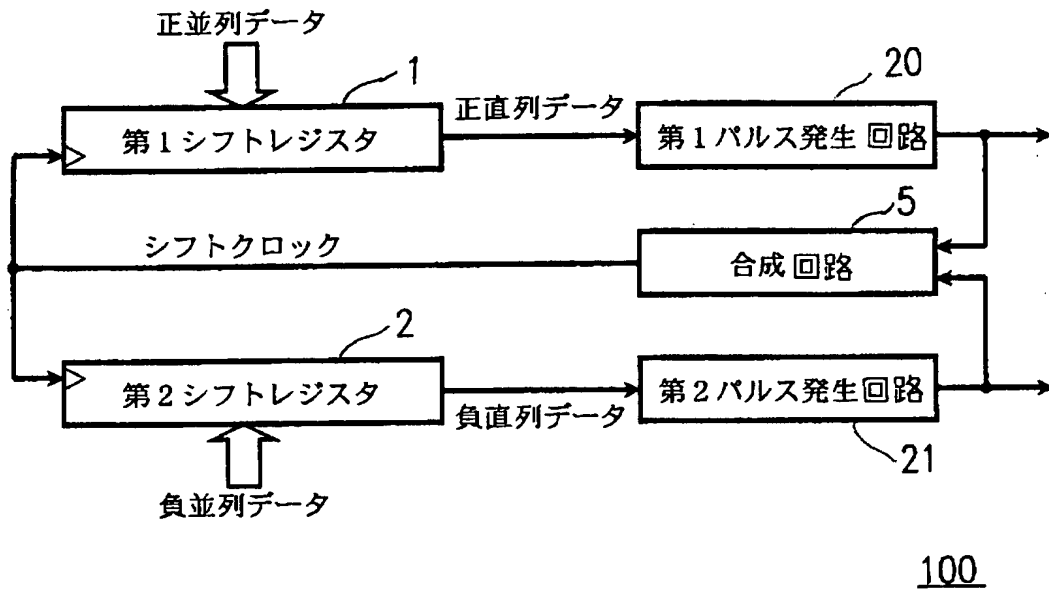
【符号の説明】

- 1 第 1 シフトレジスタ
- 2 第 2 シフトレジスタ
- 3、4 論理積回路
- 5 合成回路（論理和回路）
- 10 ライトパルス
- 11 正並列データ
- 12 負並列データ
- 13 正直列データ
- 14 負直列データ
- 15 正伝送データ
- 16 負伝送データ

- 1 7 シフトクロック信号
- 2 0 第 1 パルス発生回路
- 2 1 第 2 パルス発生回路
- 3 0 ~ 3 8 論理積回路
- 4 1、4 4、4 5、4 8 トランスファークゲート
- 4 2、4 6 論理和否定回路
- 4 3、4 7 インバータ回路
- 5 1 送信部
- 5 2 受信部
- 1 0 0 パラレル・シリアル変換回路
- 1 0 1、1 0 2 駆動回路
- 1 0 3、1 0 4 シュミットトリガ回路
- 1 0 5、1 0 6 受信回路
- 1 0 7 論理積回路
- 1 0 8 論理和回路
- 1 0 9 レジスタ
- 1 1 0 データ
- 1 1 1 同期信号
- 1 1 2 クロック信号
- 1 2 0 インバータ直列回路
- 2 0 0 シリアルデータ伝送システム

【書類名】 図面

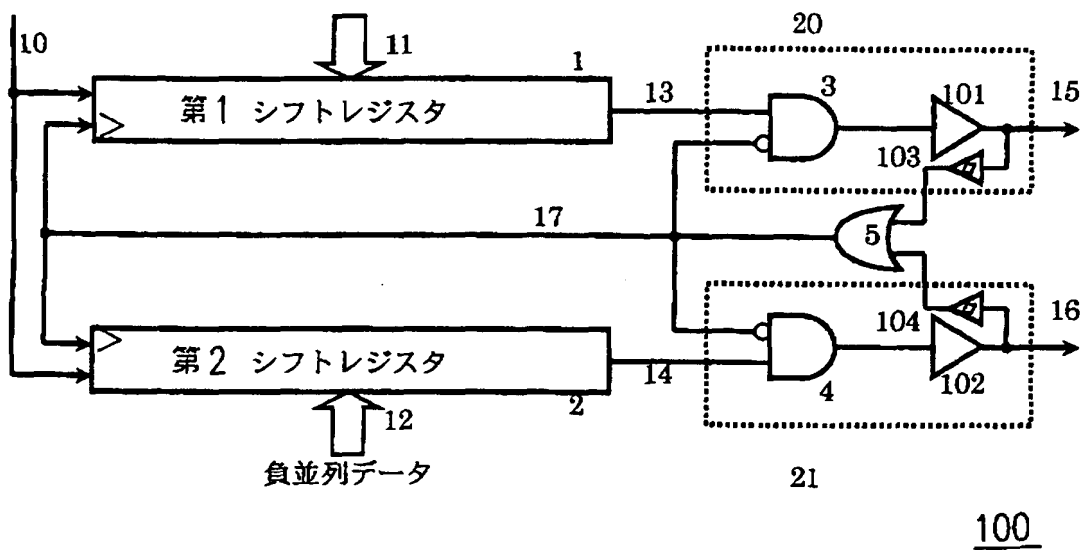
【図 1】



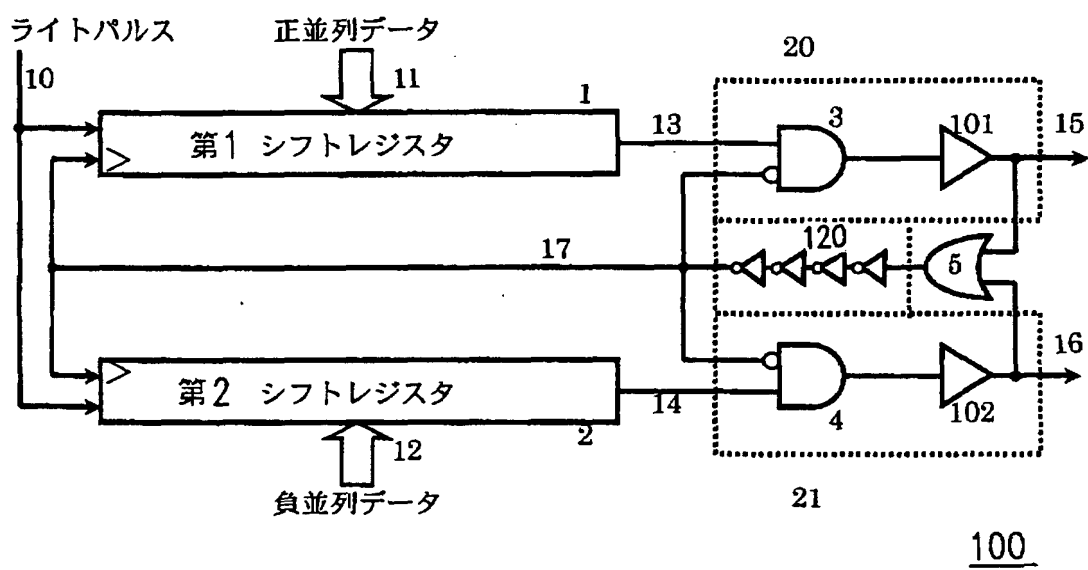


【図 2】

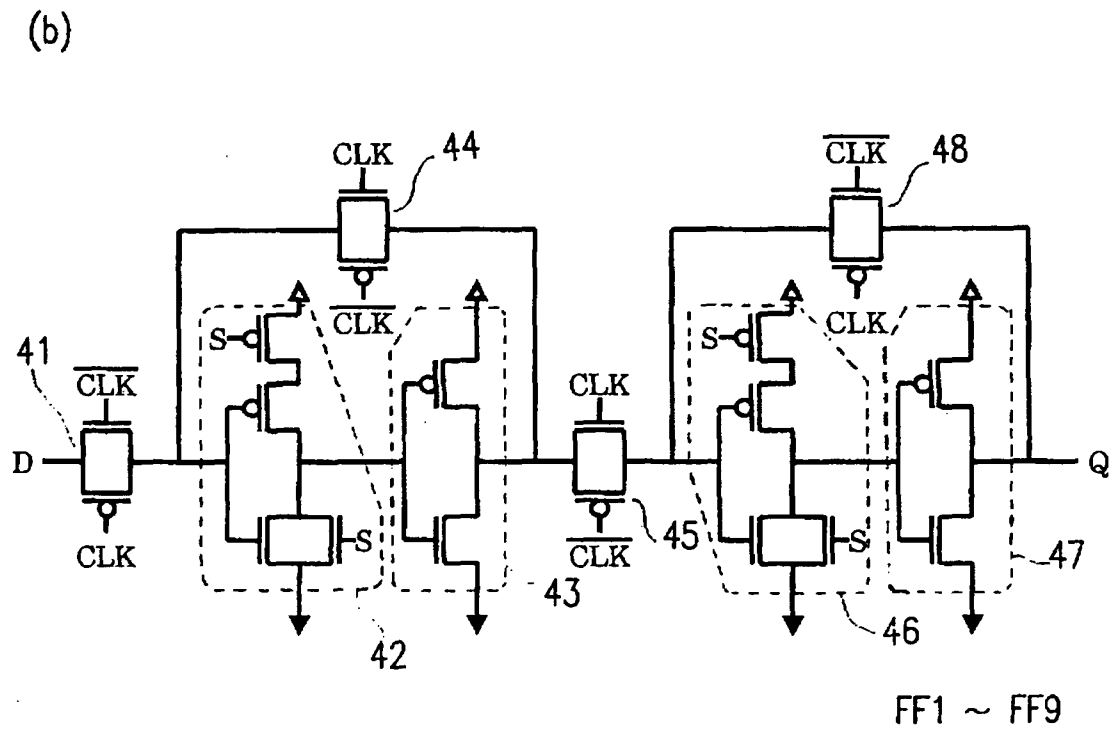
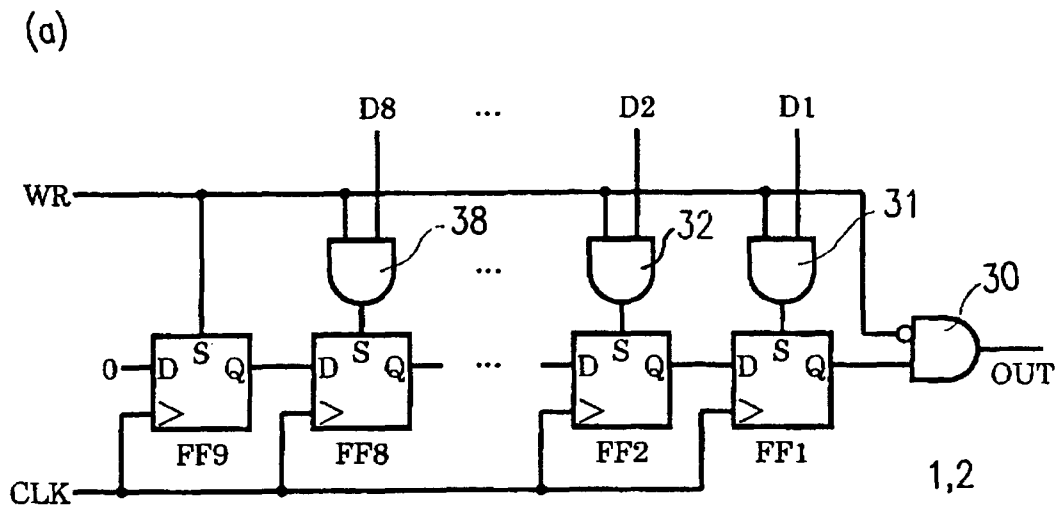
(a)



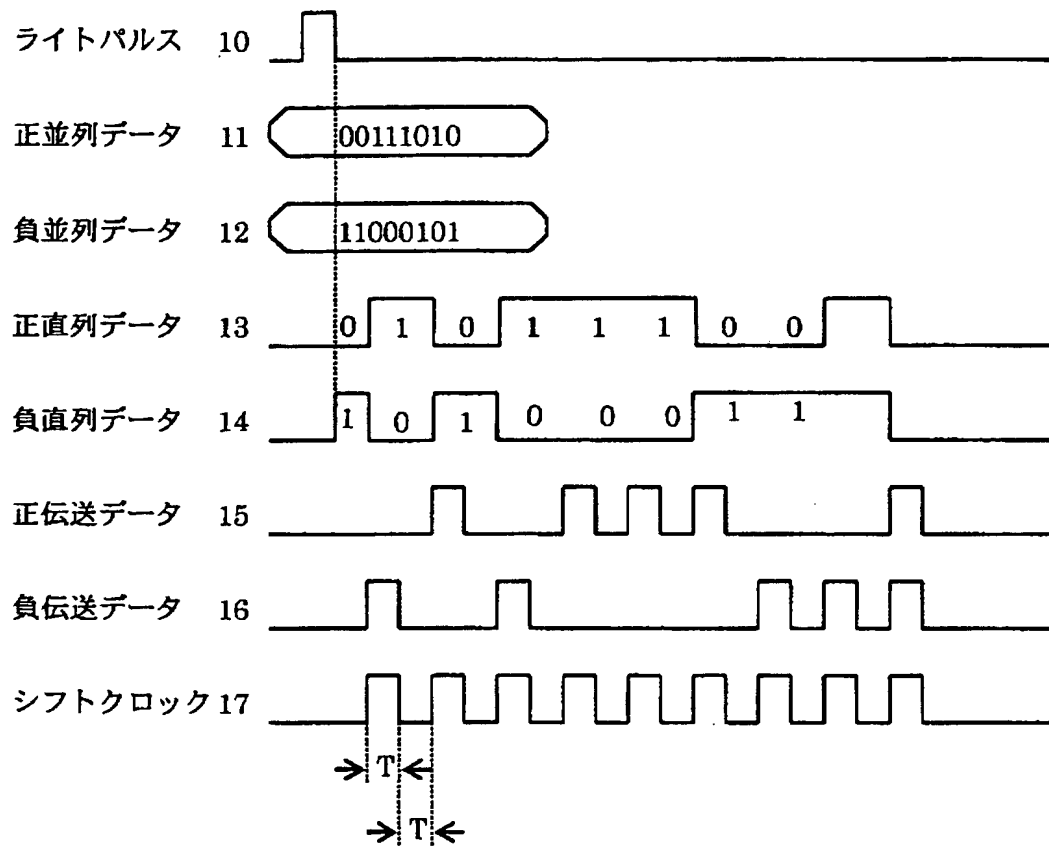
(b)



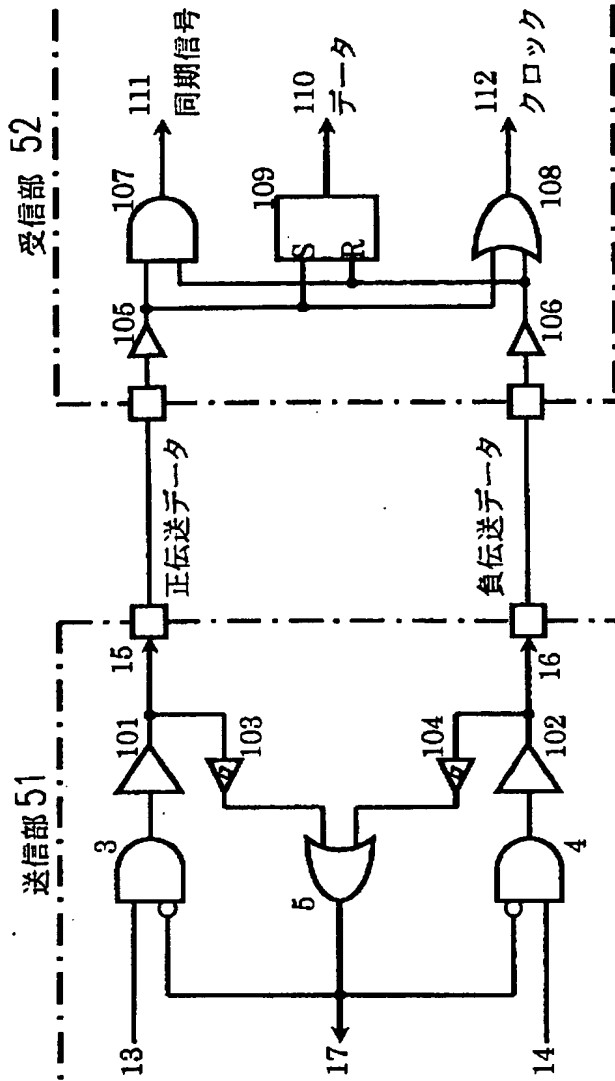
【図 3】



【図 4】

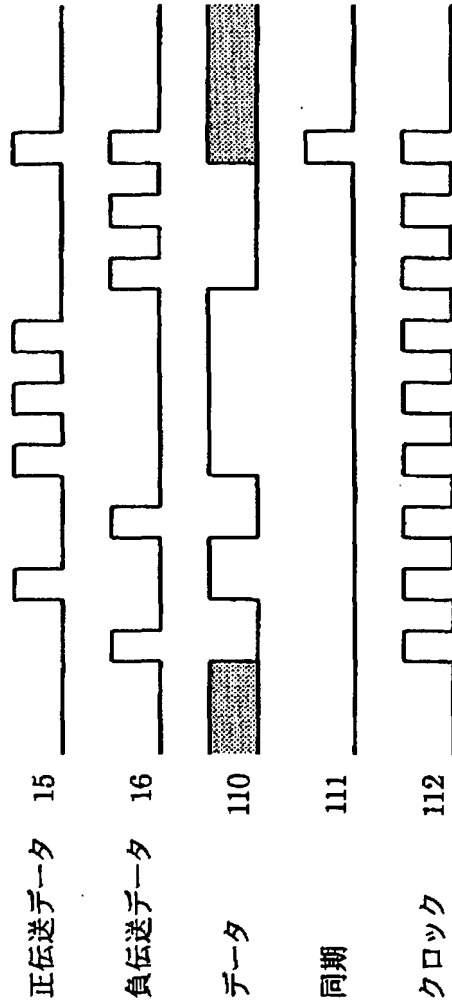


【図 5】

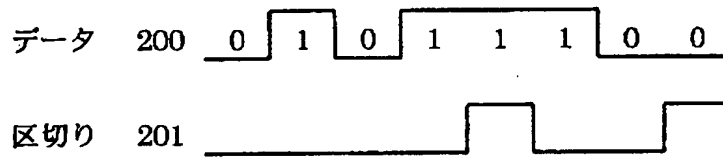


200

【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 回路規模の増大を防ぎ、低消費電力で、ビット区切り信号の伝送経路を設けずにシリアルデータを伝送可能なパラレル・シリアル変換回路を提供する。

【解決手段】 入力された正並列データをシフトクロック信号に応じてビットシフトしながら正直列データを出力する第1シフトレジスタ1と、正並列データをビット反転した負並列データをシフトクロック信号に応じてビットシフトしながら負直列データを出力する第2シフトレジスタ2と、正直列データに応じた第1パルス信号を出力する第1パルス発生回路20と、負直列データに応じた第2パルス信号を出力する第2パルス発生回路21と、第1パルス信号と第2パルス信号を合成する合成回路5を備え、合成信号をシフトクロック信号として用いる。

【選択図】 図1

## 認定・付加情報

特許出願の番号	特願 2002-183704
受付番号	50200922056
書類名	特許願
担当官	第八担当上席 0097
作成日	平成14年 6月25日

### <認定情報・付加情報>

#### 【特許出願人】

【識別番号】	000005049
【住所又は居所】	大阪府大阪市阿倍野区長池町22番22号
【氏名又は名称】	シャープ株式会社
【代理人】	申請人
【識別番号】	100078282
【住所又は居所】	大阪府大阪市中央区城見1丁目2番27号 クリスタル タワー15階
【氏名又は名称】	山本 秀策

#### 【選任した代理人】

【識別番号】	100062409
【住所又は居所】	大阪府大阪市中央区城見1丁目2番27号 クリ スタルタワー15階 山本秀策特許事務所
【氏名又は名称】	安村 高明

#### 【選任した代理人】

【識別番号】	100107489
【住所又は居所】	大阪府大阪市中央区城見一丁目2番27号 クリスタル タワー15階 山本秀策特許事務所
【氏名又は名称】	大塩 竹志



出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
氏 名	シャープ株式会社